

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-263573

(43)Date of publication of application : 13.10.1995

(51)Int.Cl.

H01L 21/8242

H01L 27/108

H01L 27/04

H01L 21/822

H01L 29/78

H01L 21/336

(21)Application number : 06-053999

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 24.03.1994

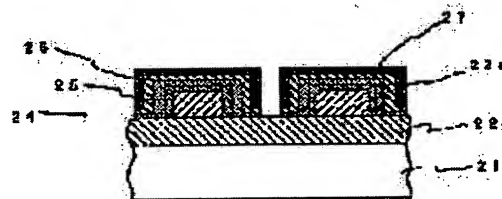
(72)Inventor : MATSUHASHI HIDEAKI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

## (57)Abstract:

PURPOSE: To provide a semiconductor device and a method for manufacturing it in which capacity per unit area can be sufficiently secured by preventing the reaction of tantalum oxide to polysilicon to suppress the generation of a leakage current in a semiconductor device which uses a tantalum oxide for a dielectric film and a polysilicon film for an upper electrode.

CONSTITUTION: An oxide silicon film 22 is formed on a silicon substrate 21 and a polysilicon film 23a is selectively formed for a lower electrode, and an oxide silicon film 25, a tantalum oxide film 24, a titanium oxide film 26 for reaction preventing film and a polysilicon film 27 for an upper electrode are formed in sequence so as to cover the polysilicon film 23a.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-263573

(43)公開日 平成7年(1995)10月13日

(51)Int. Cl.<sup>4</sup> 識別記号 庁内整理番号 F 1 技術表示箇所  
H 0 1 L 21/8242  
27/108  
27/04

H 0 1 L 27/ 10 3 2 5 J  
27/ 04 C

審査請求 未請求 請求項の数4 O L (全 5 頁) 最終頁に続く

(21)出願番号 特願平6-53999

(22)出願日 平成6年(1994)3月24日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 松橋 秀明

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

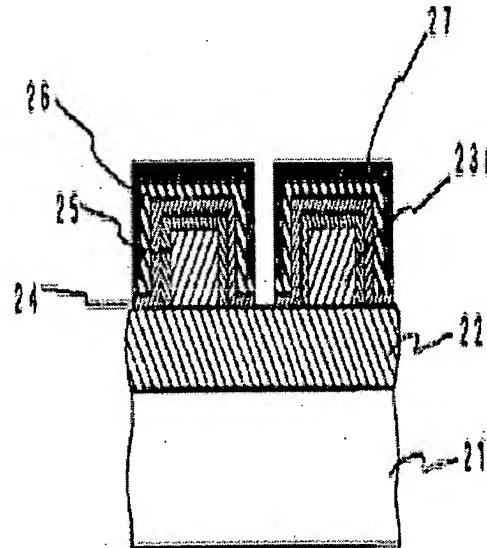
(74)代理人 弁理士 鈴木 敏明

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 誘電体膜として酸化タンタル膜、上部電極としてポリシリコン膜を用いる半導体装置において、酸化タンタルとポリシリコンとの反応を防いでリーク電流の発生を抑さえ、かつ単位面積当たりの容量を十分に確保できる半導体装置及びその製造方法を提供する。

【構成】 シリコン基板21上に酸化シリコン膜22、選択的に下部電極としてのポリシリコン膜23aが形成され、ポリシリコン膜23aを覆うように酸化シリコン膜25、酸化タンタル膜24、反応防止膜としての酸化チタン膜26、上部電極としてのポリシリコン膜27が順次形成された構造となっている。



【特許請求の範囲】

【請求項 1】 基体と、  
前記基体上に形成された酸化タンタルと、  
前記酸化タンタル上に形成された酸化チタンと、  
前記酸化チタン上に形成されたポリシリコンと、  
を備えたことを特徴とする半導体装置。  
【請求項 2】 前記基体は半導体基板表面上に形成されたキャパシタの下部電極であることを特徴とする請求項 1 記載の半導体装置。  
【請求項 3】 前記基体は半導体基板であって、この基板表面領域に形成されたソース・ドレイン領域間のチャネル領域であることを特徴とする請求項 1 記載の半導体装置。  
【請求項 4】 基体上に酸化タンタルを形成する工程と、  
前記酸化タンタル上に酸化チタンを堆積法により形成する工程と、  
前記酸化チタン上にポリシリコンを形成する工程と、  
を備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、誘電体膜を用いるキャパシタ、MOSET、DRAM等の半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 従来、誘電体膜を用いたキャパシタとして、25の高い比誘電率を持つ酸化タンタル膜(Ta<sub>2</sub>O<sub>5</sub>)を用いたキャパシタが知られているが、上部電極にポリシリコン(poly-Si)を用いる場合、800℃程度の高温熱処理を施すとポリシリコンと酸化タンタル膜が反応、リーク電流が増大してしまうという問題があった。この反応を防止するため、例えばH. Shriki et al, 1988 Symp. VLSI Technology (1988) pp. 29~30には、上部電極であるポリシリコン膜と誘電体膜である酸化タンタル膜との間に、反応防止膜として酸化シリコン膜または窒化シリコン膜を用いることにより後の製造工程に不可欠な高温熱処理を行ってもポリシリコン膜と酸化タンタル膜が反応せずリーク電流の増大がないキャパシタが開示されている。

【0003】

【発明が解決しようとする課題】 しかしながら上記文献に開示されるような従来技術では、反応防止膜としての酸化シリコン膜または窒化シリコン膜の比誘電率が酸化シリコンは4、窒化シリコンでも7と低く、これらの膜を用いた場合、キャパシタの容量が大幅に減少してしまうという問題があった。

【0004】

【課題を解決する手段】 上記の問題を解決するために、基体上に、誘電体膜として酸化タンタル、この酸化タン

タル上に反応防止膜として酸化チタン、この酸化チタン上にポリシリコンを備えた構造の半導体装置とする。

【0005】

【作用】 本発明によれば、約90と非常に高い比誘電率を持つ酸化チタンをポリシリコンと酸化タンタルとの間に設けたので、容量が大きい半導体装置となるだけでなく、高温熱処理を施してもポリシリコンと酸化タンタルとの反応がこの酸化チタンによって防止され、リーク電流が減少する。

【0006】

【実施例】

第1実施例

図1は、本発明によるキャパシタの構造を示す一例である。図1におけるキャパシタは、シリコン基板21上に酸化シリコン膜22、その上に選択的に下部電極としてのポリシリコン膜23aが形成され、このポリシリコン膜23aを覆うように酸化シリコン膜25、酸化タンタル膜24、酸化チタン膜26、上部電極としてのポリシリコン膜27が順次形成されている。

【0007】 以上のように形成された酸化タンタル膜を用いたキャパシタ（以下、酸化タンタル膜キャパシタという）においては、誘電体膜の酸化タンタル膜24と上部電極のポリシリコン膜27との間に反応防止膜として酸化チタン膜26を設けているので、酸化タンタル膜24とポリシリコン膜27との反応が防止される。

【0008】 また、図2(A)～(D)に本発明の実施例によるキャパシタの製造工程の断面図を示し、以下本発明の実施例について図面を参照しながら詳細に説明する。

【0009】 図2(A)に示すように、シリコン基板21上に熱酸化法または化学気相成長(CVD)法により酸化シリコン膜22を800nm程度成長させ、さらに、下部電極となるポリシリコン膜23をCVD法等により300nm程度形成する。このポリシリコン膜23の低抵抗化のため、イオン注入法により、または、塩化ホスホリルガス雰囲気中における熱拡散により、リンをポリシリコン膜23に導入する。

【0010】 次に、ポリシリコン膜23上にレジストパターンを形成し（図示せず）、このレジストパターンをマスクとしてポリシリコン膜23の不要部分をエッチングすることで、ポリシリコン膜23がパターンニングされ、図2(B)に示すように下部電極のポリシリコン膜23aが形成される。

【0011】 図2(C)に示すように、ポリシリコン膜23a上にCVD法により、ペンタエトキシタンタルと酸素ガスを用い400℃の基板温度で酸化タンタル膜24を10nm程度形成する。この酸素ガスを用いて酸化タンタル膜を形成する際に、下部電極のポリシリコン膜23aの表面が酸化され、ポリシリコン膜23aと酸化タンタル膜24の間には酸化シリコン膜25が1nm程

度形成される。

【0012】さらに図2(D)に示すように、酸化タンタル膜24上にCVD法により、テトラブトキシチタンと酸素ガスをを用いて400℃の基板温度で酸化チタン膜26を10～20nm程度形成する。また、酸化タンタル膜24および酸化チタン膜26の緻密化及び欠陥密度の削減のため、それぞれの膜を形成した後に酸素雰囲気中800℃で1分間の熱処理を行うことが望ましい。

【0013】次に、上部電極としてのポリシリコン膜27をCVD法により300nm程度形成する。以下は下部電極を形成するときと同様、ポリシリコン膜27の低抵抗化のため、イオン注入法によりリンを、または、ガス雰囲気中における熱拡散により塩化ホスホリルを、ポリシリコン膜27に導入する。その後ポリシリコン膜27上にレジストパターンを形成し(図示せず)、このレジストパターンをマスクとしてポリシリコン膜27、酸化チタン膜26及び酸化タンタル膜24の不要部分をエッチングすることにより、図1に示した構造の酸化タンタル膜キャパシタとなる。

【0014】また、上記の実施例以外にも本発明のキャパシタを製造することができ、その一例を示す。

【0015】シリコン基板21上に酸化シリコン膜22、下部電極としてのポリシリコン膜23aを形成した後、酸化タンタル膜24を形成する方法としては、スパッタ法によることもできる。高周波スパッタ法では、Tiターゲットを用い、酸素ガス雰囲気中でスパッタすることにより酸化タンタル膜24を形成する。

【0016】酸化チタン膜26を形成する際にも同様に、Tiターゲットを用い、酸素ガス雰囲気中でスパッタすることにより、または、スパッタ法によりTiを形成した後、酸素ガス雰囲気中、500℃で1分間の熱処理を行うことにより、酸化チタン膜26を形成し、その後同様の方法で上部電極を形成、不要部分の除去によりキャパシタを作製する。

【0017】ここで、酸化チタン膜の形成方法については種々のものが考えられるが、CVD法またはスパッタ法等の堆積法を使用することにより、容易に酸化チタン膜を形成することができる。

【0018】第2実施例

本発明をMOSFET(Metal Oxide Semiconductor Field Effect Transistor)のゲート酸化膜に適用した例を図3に示す。

【0019】半導体基板31の表面領域にチャネル領域33が形成され、チャネル領域33の両側に不純物を拡散したソース・ドレイン領域32とが対向して配置され、チャネル領域の表面上にゲート酸化膜として酸化タンタル膜34と酸化チタン膜35とが積層され、このゲート酸化膜の表面上にゲート電極としてポリシリコン膜36が形成されている。

【0020】MOSFETを微細化する場合、比例縮小則に従いゲート酸化膜厚も薄膜化しなければならない。微細化の指標である0.15μm程度のゲート電極寸法では、酸化シリコンに換算した膜厚で3nm程度のゲート酸化膜にする必要がある。しかし酸化シリコン膜厚で3nm以下ではトンネリングによりリーク電流が増大してしまい、MOSFETとして動作しなくなってしまう。このため、本発明をMOSFETのゲート酸化膜に適用することによって微細化によりゲート酸化膜を薄膜化してもリーク電流増大のないMOSFETとなる。また、0.15μm以上のゲート電極寸法のMOSFETにおいても、ゲート酸化膜の薄膜化によりゲート酸化膜容量が増加、相互コンダクタンスが大きくなり、スイッチングの応答速度が速い高速のMOSFETを実現できる。

【0021】第3実施例

本発明を半導体基板を共通とする1つMOSFETと1つのキャパシタにより構成されるDRAMのメモリセル部に適用した例を図4に示す。図4でMOSFETとして第2実施例で用いたMOSFETを使用、同じ符号

(ソース・ドレイン領域32、チャネル領域33、酸化タンタル膜34、酸化チタン膜35およびポリシリコン膜36)とする。キャパシタとして、半導体基板41上に下部電極43、下部電極43上に酸化タンタル膜44、酸化タンタル膜44上に酸化チタン膜45、酸化チタン膜45上に上部電極46、で構成されている。

【0022】以上のように、本発明を適用したキャパシタをDRAMのメモリセル部等に使用することによって、単位面積当たりのキャパシタ容量を増大できる。これは、DRAM等の高集積化により望まれているメモリセルサイズの小型化という需要に応えるものである。また、MOSFETを使用することにより、第2実施例で述べた効果を楽しむことができる。

【0023】上記に示した本発明の酸化タンタル膜キャパシタにおいて、酸化タンタル膜とポリシリコン膜との間の酸化チタン膜の存在によって、酸化タンタル膜とポリシリコン膜との反応が防止される。このことは、図5に示す酸化物の標準生成自由エネルギーの温度図を参照することで理解できる。この図5は、「VLSIの薄膜技術」伊藤隆司他、丸善株式会社(昭和51年9月30日)発行、pp.152に示されるものである。

【0024】Te2O5(酸化タンタル膜)のΔGf(酸化物の標準生成自由エネルギー)はいずれの温度においてもSiO2(酸化シリコン膜)のΔGfより大きい。これは、酸化タンタル膜とポリシリコン膜が接しているときはシリコンの方が酸化されやすく、タンタルは還元されやすいことを示している。よってこの場合には、タンタルが還元され、金属としてのTeが酸化タンタル膜中に発生することにより、リーク電流が増大することになる。これとは逆に、TiO2(酸化チタン膜)のΔG

はいずれの温度においてもSiO<sub>2</sub>（酸化シリコン膜）のΔGより小さい。よって、酸化チタン膜とポリシリコン膜が接していてもポリシリコン、チタン共に反応せず、リーク電流の増大を防ぐことができる。

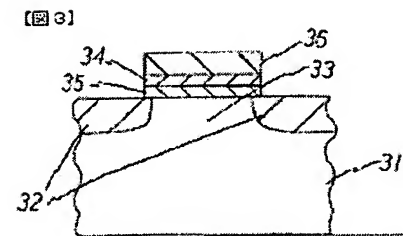
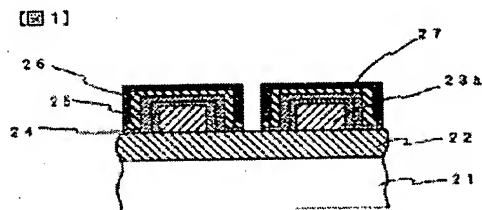
【0025】また、反応防止膜として例えば窒化チタンが考えられるが、この窒化チタンを用いた場合には高温熱処理を行うことによってリーク電流が増加してしまう、ということが実験結果から得られている。

【0026】

【発明の効果】以上詳細に説明したように本発明の酸化タンタル膜を用いた半導体装置によれば、酸化タンタルとポリシリコンとの間に酸化チタンが形成されているため、高温熱処理を行っても酸化タンタルとポリシリコンとの反応が起らなくなり、リーク電流の増加を抑えることができるだけでなく、酸化チタン膜の比誘電率が高いため、単位面積当たりの容量が大きい半導体装置となる。

【図面の簡単な説明】

【図1】本発明の実施例によるキャパシタの構造を示す



断面図

【図2】本発明の実施例によるキャパシタの製造工程を示す断面図

【図3】本発明の実施例によるMOSFETの構造を示す断面図

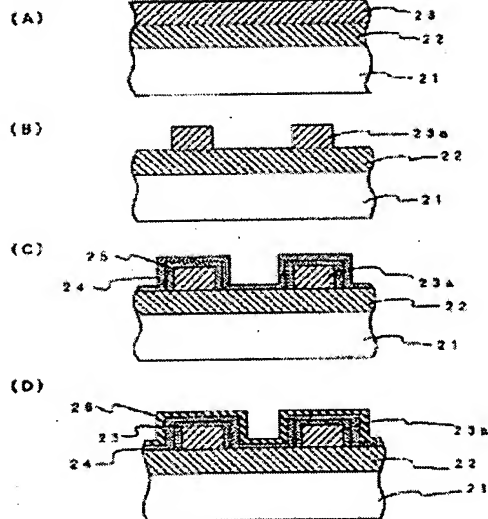
【図4】本発明の実施例によるDRAMのメモリセル部の構造を示す断面図

【図5】酸化物の標準生成自由エネルギーと温度との関係図

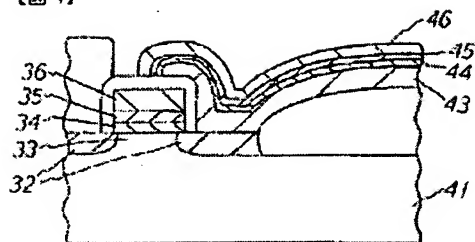
【符号の説明】

- 21：シリコン基板
- 22：酸化シリコン膜
- 23：ポリシリコン膜
- 23a：ポリシリコン膜
- 24：酸化タンタル膜
- 25：酸化シリコン膜
- 26：酸化チタン膜
- 27：ポリシリコン膜

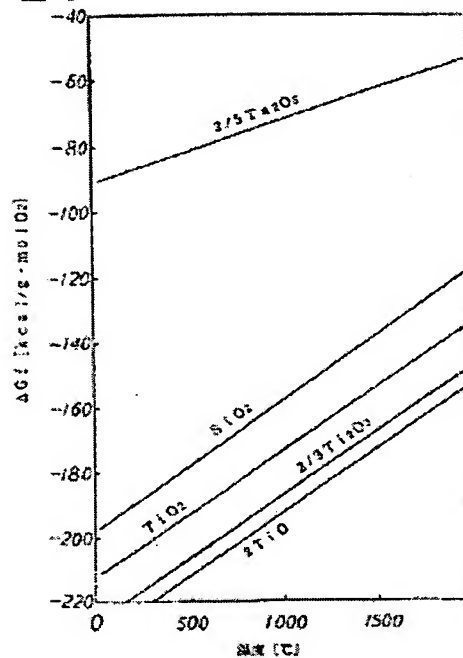
【図2】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.6  
H01L 21/822  
29/78  
21/336

識別記号

庁内整理番号

F I

技術表示箇所

H01L 29/78

301 G

301 Y